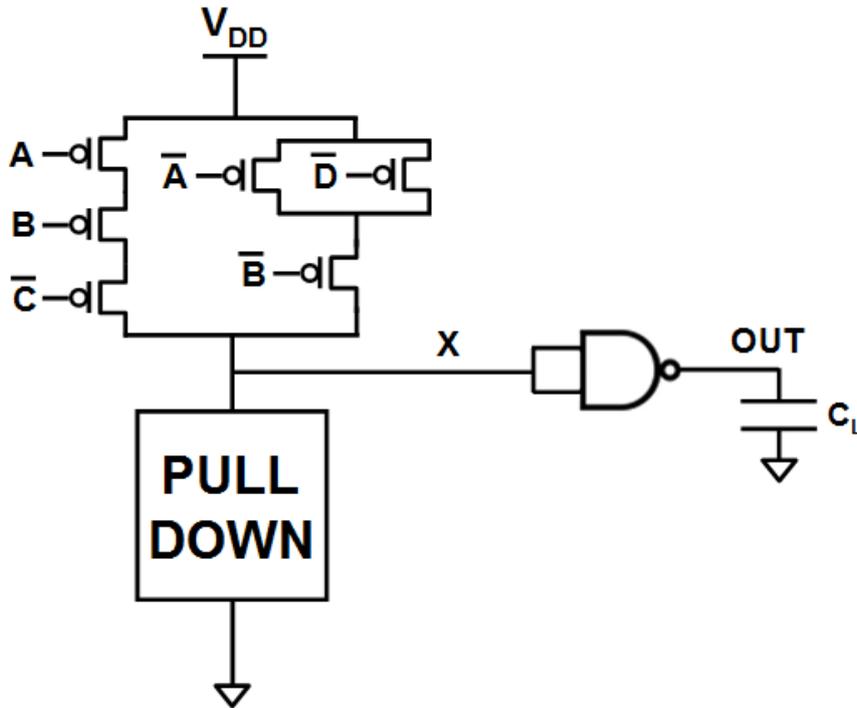


Esercizio 1



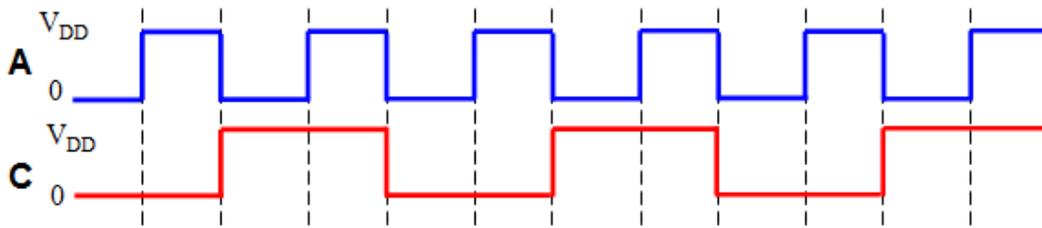
Parametri tecnologici

$$\begin{aligned}
 V_{DD} &= 1\text{V} \\
 V_{Tn} &= 0.25\text{V} \\
 V_{Tp} &= -0.25\text{V} \\
 \beta'_n &= 200\mu\text{A}/\text{V}^2 \\
 \beta'_p &= 100\mu\text{A}/\text{V}^2 \\
 C_{ox} &= 23\text{fF}/\mu\text{m}^2 \\
 L_{min} &= 0.09\mu\text{m} \\
 \lambda &= \gamma = 0
 \end{aligned}$$

Con riferimento al circuito in figura, considerando i transistori esauriti al 90% dell'escursione di tensione, assumendo istantanei i fronti dei segnali applicati agli ingressi e assumendo $C_L = 140\text{ fF}$, il candidato risponda ai seguenti quesiti:

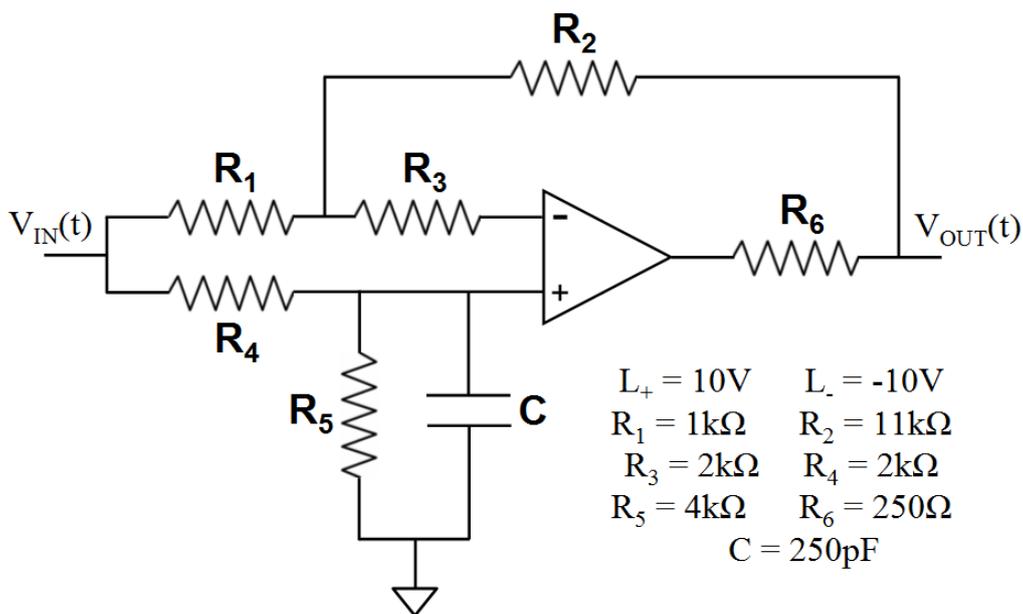
1. Supponendo di disporre dei segnali di ingresso sia in forma vera che negata, realizzare la rete di Pull Down (PD) del circuito FCMOS del I stadio e determinare le funzioni logiche realizzate ai nodi X e OUT.
2. I transistori NMOS che realizzano il gate NAND del II stadio del circuito hanno fattore di forma $S_{N,NAND} = 24$. Si determini il fattore di forma dei transistori PMOS del gate NAND ($S_{P,NAND}$) in modo che i transistori di salita e discesa al nodo OUT per effetto di transizioni istantanee al nodo X siano uguali.
3. Si identifichino i pattern di transizione degli ingressi per cui la durata dei transistori di salita e di discesa al nodo OUT è massima (caso peggiore).
4. Dimensionare i fattori di forma dei transistori del primo stadio in modo tale che la durata dei transistori al 90% sul nodo OUT per effetto di transizioni istantanee degli ingressi (A, B, C e D) siano non superiori a 650ps (si assuma che tutti i transistori NMOS del I stadio abbiano medesimo fattore di forma S_N e tutti i PMOS fattore di forma S_P).
5. Assumendo ora per gli ingressi A e C del circuito FCMOS l'andamento mostrato in figura (andamento periodico con frequenze $f_A=3\text{MHz}$ e $f_C=1.5\text{MHz}$ rispettivamente e duty-cycle 50%) e gli ingressi B e D costanti con $B = 0$ e $D = 0$, si determini la potenza dinamica media dissipata dall'intero circuito.

ESAME DI STATO PER L'ABILITAZIONE ALLA PROFESSIONE DI INGEGNERE
 PRIMA SESSIONE 2016 – SEZIONE A
 SETTORE INFORMAZIONE
 Prova Pratica di Progettazione
 TEMA N. 3: ELETTRONICA



6. Implementare in logica DOMINO la funzione logica realizzata al nodo X.

Esercizio 2



Con riferimento al circuito in figura e assumendo l'amplificatore operazionale ideale e in regione di alto guadagno, il candidato risponda ai seguenti quesiti.

1. Determinare la funzione di trasferimento del circuito $H(j\omega) = V_{OUT}(j\omega)/V_{IN}(j\omega)$.
2. Si calcolino le frequenze di poli e zeri di $H(j\omega)$ e si traccino i diagrammi di Bode (ampiezza e fase).
3. Assumendo ora per l'operazionale la non idealità per cui si hanno due correnti costanti $I_+ = I_- = 2nA$ entranti nei due ingressi invertente e non invertente, determinare V_{OUT} per $V_{IN} = 0$.